

## 明 細 書

### エネルギー線検出素子

### 技術分野

- [0001] この発明は、紫外線、赤外線、可視光、電子線、放射線、X線等のエネルギー線を検出するためのエネルギー線検出素子に関するものである。

### 背景技術

- [0002] 例えば特許文献1に記載されたように、半導体基板の表面側に形成され、エネルギー線の入射に応じて電荷を発生するエネルギー線感応領域を備えたエネルギー線検出素子が知られている。
- [0003] この種のエネルギー線検出素子では、エネルギー線感応領域において発生した電荷量を電流信号又は電圧信号に変換して取り出す必要がある。このため、エネルギー線感応領域には、発生した電荷量を電流信号又は電圧信号に変換するための回路が電極を介して電氣的に接続される。

特許文献1:特開平6-350122号公報

### 発明の開示

### 発明が解決しようとする課題

- [0004] 発明者らは、従来のエネルギー線検出素子について詳細に検討した結果、以下のような課題を発見した。すなわち、上記特許文献1に記載されたような構成を備えたエネルギー線検出素子において、例えば電荷電圧変換回路を接続してエネルギー線感応領域に発生した電荷量を電圧信号に変換して取り出す場合、kTC雑音が生じる。このkTC雑音は、エネルギー線検出素子全体において発生するノイズに対して大きな比率を占めており、電荷電圧変換回路の容量の平方根に比例する。エネルギー線感応領域に電荷電圧変換回路が直接接続された場合、エネルギー線感応領域の接合容量と配線容量が全容量となるため、ノイズが大きくなってしまう。一方、エネルギー線感応領域の面積が増加すると接合容量も増加するので、この面積増加によってもノイズは増加することとなる。
- [0005] また、エネルギー線感応領域の面積が増加すると、発生した電荷を全て引き出すこ

とは難しく、電荷の読み残しが生じる。このため、読み出された電荷量が減少することとなり、ノイズが相対的に大きくなってしまう。

- [0006] この発明は上述のような課題を解決するためになされたものであり、ノイズを効果的に低減するための構造を備えたエネルギー線検出素子を提供することを目的としている。

#### 課題を解決するための手段

- [0007] 上述の目的を達成すべく、この発明に係るエネルギー線検出素子は、半導体基板と、出力部と、複数の電極と、互いに直列接続された複数の分圧抵抗を含む電圧分割回路を備える。上記半導体基板には、エネルギー線の入射に応じて電荷を発生するエネルギー線感応領域が形成されている。上記出力部は、エネルギー線感応領域内で発生した電荷を蓄積し、蓄積電荷量に相当する電流信号又は電圧信号を出力する。上記電極は、それぞれがエネルギー線感応領域の一部を覆うように近接した状態で配置され、エネルギー線感応領域内で発生した電荷を出力部に向けて送る。上記電圧分割回路は、電極それぞれに電気的に接続されており、分圧抵抗により直流電源からの直流出力電圧を分圧し、電極それぞれに対応する直流出力電位を与える。なお、上記近接した電極は、所定電位が与えられた状態で電極それぞれの下に形成されるポテンシャル井戸が互いに接触する程度離間している。
- [0008] この発明に係るエネルギー線検出素子において、上記電極それぞれには、対応する直流出力電位が電圧分割回路から与えられる。この際、電極それぞれの下に形成されるポテンシャル井戸が電荷を送る方向に沿って徐々に深くなるよう、電圧分割回路が電極それぞれに対応する直流出力電位を与えることにより、エネルギー線感応領域に対して1つのポテンシャル傾斜が形成されることとなる。このため、発生した電荷は上記ポテンシャル傾斜に沿って出力部へ速やかに移動することとなり、電荷の読み残しが生じ難くなる。この結果、読み出した電荷量が減少するようなことはなく、ノイズが相対的に大きくなるのを防ぐことができる。
- [0009] この発明に係るエネルギー線検出素子において、上記出力部は、エネルギー線感応領域内で発生した電荷を蓄積する不純物領域(以下、フローティングディフュージョンという)と、信号入力に基づいて、エネルギー線感応領域から該フローティングデ

イフュージョンへの電荷の移動を抑制あるいは許容するゲートを含むのが好ましい。

- [0010] このような構成により、ゲートによってフローティングディフュージョンへの電荷の移動が許容されると、エネルギー線感応領域内で発生した電荷は該フローティングディフュージョンに蓄積される。一方、ゲートによって該フローティングディフュージョンへの電荷の移動を抑制されると、エネルギー線感応領域内で発生した電荷がフローティングディフュージョンに流入することではなく、エネルギー線感応領域とフローティングディフュージョンとが容量的に分離される。エネルギー線感応領域とフローティングディフュージョンとが容量的に分離されているので、エネルギー線感応領域の容量は、フローティングディフュージョンに蓄積された電荷量を電流信号又は電圧信号に変換する際に影響を受けなくなる。フローティングディフュージョンの容量は、フローティングディフュージョンに蓄積された電荷量を電流信号又は電圧信号に変換する際に影響を受けることになるが、フローティングディフュージョンは、通常、エネルギー線感応領域に比して面積を小さく形成することができ、容量も小さくすることが可能である。このようにエネルギー線感応領域とフローティングディフュージョンとが容量的に分離可能に構成されているので、蓄積電荷量を電流信号又は電圧信号に変換する際に生じるノイズを小さくすることができる。

### 発明の効果

- [0011] この発明によれば、従来のエネルギー線検出素子と比較して、検出信号に含まれるノイズが効果的に低減され得る。

### 図面の簡単な説明

- [0012] [図1]は、この発明に係るエネルギー線検出素子の第1実施例の構成を示す平面図である。
- [図2]は、図1に示された第1実施例に係るエネルギー線検出素子の、II-II線に沿った断面図である。
- [図3]は、エネルギー線感応領域に形成されるポテンシャル傾斜を説明するための図である。
- [図4]は、この発明に係るエネルギー線検出素子の第2実施例の構成を示す平面図である。

[図5]は、この発明に係るエネルギー線検出素子の第3実施例の構成を示す平面図である。

### 符号の説明

[0013] 1…エネルギー線検出素子、11…エネルギー線感応領域、15…電極、17…分圧抵抗、19…直流電源、21…出力部、23…サミングゲート、25…アウトプットゲート、27…フローティングディフュージョン、29…電荷リセット用MOSFET、31…電荷電圧変換用MOSFET、39…抵抗、51…半導体基板、53…P型Si基板、55…N型半導体層。

### 発明を実施するための最良の形態

[0014] 以下、この発明に係るエネルギー線検出素子の各実施例を、図1～図5を参照しながら詳細に説明する。なお、図面の説明において、同一要素又は同一機能を有する要素には、同一符号を用いることとし、重複する説明を省略する。

[0015] 図1は、この発明に係るエネルギー線検出素子の第1実施例の構成を示す平面図である。また、図2は、図1のエネルギー線検出素子の、II-II線に沿った断面図である。

[0016] この第1実施例に係るエネルギー線検出素子1は、図1に示されたように、エネルギー線感応領域11と出力部21とを備える。

[0017] エネルギー線感応領域11は、紫外線、赤外線、可視光、電子線等のエネルギー線の入射に感応して電荷を発生する。エネルギー線感応領域11は、エネルギー線の入射方向から見て矩形形状(この第1実施例では、 $500\mu\text{m} \times 500\mu\text{m}$ )である。

[0018] エネルギー線感応領域11の表面には、それぞれがエネルギー線感応領域11の一部を覆うように配置された複数の電極15が設けられている。複数の電極15は、略1/4円弧状の縁部を有している。

[0019] 電極15それぞれは、互いに直列接続された複数の分割抵抗17を含む電圧分割回路に電氣的に接続されている。各分圧抵抗17は、各電極15に対応して設けられており、直流電源19からの直流出力電圧を分圧している。この構成により、各電極15には、分圧抵抗17との接続位置に対応した直流出力電位が与えられる。

[0020] エネルギー線感応領域11、電極15及び分圧抵抗17は、図2に示されたように、半

導体基板51上に形成される。半導体基板51は、エネルギー線の入射方向から見て矩形形状(第1実施例では、 $1000\mu\text{m}\times 1000\mu\text{m}$ )である。半導体基板51は、導電型がP型であって半導体基板51の基体となるP型Si基板53と、その表面に形成されたN型半導体層55とを備える。P型Si基板53とN型半導体層55とはpn接合を構成しており、N型半導体層55はエネルギー線の入射により電荷を生成するエネルギー線感応領域となっている。電極15は、半導体基板51の表面に絶縁層57を介して設けられる。電極15は、それぞれがエネルギー線感応領域11の一部を覆うように配置されている。電極15及び絶縁層57はエネルギー線を透過する材料からなり、この第1実施例では、電極15はポリシリコン膜からなり、絶縁層57はシリコン酸化膜からなる。

[0021] 複数の分圧抵抗17で構成された抵抗群は直流電源19に直列に接続されており、この抵抗群の一端17a側は常に一定の正電位に保たれ、また、他端17b側は常に一定の負電位に保たれている。これにより、複数の電極15のそれぞれには、対応する分圧抵抗17により生成された直流出力電位が与えられるので、図3に示されたように、当該複数の電極15下のN型半導体層55に形成されるポテンシャル井戸は電荷を送る方向、すなわち、出力部21の接続位置に向けて隣接するポテンシャル井戸同士が接触した状態で徐々に深くなり、エネルギー線感応領域11に対して1つのポテンシャル傾斜(階段状の傾斜)が形成されることとなる。このため、各電極15下のN型半導体層55にて生成された電荷は、上記ポテンシャル傾斜に沿って出力部21へ移動する。なお、必ずしも抵抗群の一端17aを正電位に保ち、他端17bを負電位に保つ必要はなく、例えば抵抗群の一端17aに+8V、他端17bに+2Vというように、抵抗群の一端17aよりも他端17bの方が低い電位で保たれていればよい。

[0022] 出力部21は、フローティングディフュージョンアンプ(FDA)であって、エネルギー線感応領域11内で発生した電荷を蓄積し、蓄積電荷量に相当する電圧信号を出力する。出力部21は、図2に示されたように、サミングゲート23とアウトプットゲート25とフローティングディフュージョン27と電荷リセット用MOSFET29と電荷電圧変換用MOSFET31とを含む。

[0023] サミングゲート23は、エネルギー線感応領域11と接続されており、エネルギー線感

応領域11から出力された電荷を蓄積する。サミングゲート23は、一対の電極33と、当該電極33の下にそれぞれ対応して形成された低濃度のN型半導体の領域34aとN型半導体の34bを有している。このサミングゲート23の電極33は、端子SGに接続されている。端子SGは、クロック信号を出力する信号出力部と接続されている。

[0024] また、サミングゲート23に蓄積された電荷は、端子SGに入力されたクロック信号の論理レベルがHレベルとLレベルとで切り替えられることによって、サミングゲート23からアウトプットゲート25に出力される。

[0025] アウトプットゲート25は、サミングゲート23と接続されており、サミングゲート23から出力された電荷を入力する。アウトプットゲート25は、電極35と、当該電極35の下に形成された低濃度のN型半導体の領域36を有している。このアウトプットゲート25の電極35は、端子OGと接続されており、端子OGから一定値の電圧が入力される。また、アウトプットゲート25は、一定の電圧値を入力することによりポテンシャルの深さを固定して、サミングゲート23とフローティングディフュージョン27の間にポテンシャル障壁を作ることにより、電荷の逆流を防止する。

[0026] サミングゲート23から出力された電荷は、このアウトプットゲート25を通過し、フローティングディフュージョン27に到達する。上述のように、サミングゲート23及びアウトプットゲート25は、エネルギー線感応領域11からフローティングディフュージョンへ27の電荷の移動を抑制あるいは許容する。端子SGに入力されたクロック信号の論理レベルがLレベルとなると、サミングゲート23の電極33下に形成されるポテンシャルがアウトプットゲート25の電極35下に形成されるポテンシャルよりも低くなり、サミングゲート23に蓄積された電荷は、アウトプットゲート25への移動が許容される。一方、端子SGに入力されたクロック信号の論理レベルがHレベルとなると、サミングゲート23の電極33下に形成されるポテンシャル井戸がアウトプットゲート25の電極35下に形成されるポテンシャル井戸よりも深くなり、サミングゲート23に蓄積された電荷は、アウトプットゲート25への移動が抑制される。このとき、エネルギー線感応領域11とフローティングディフュージョン27とは容量的に分離されることとなる。

[0027] フローティングディフュージョン27は、高濃度のN型半導体の領域である。このフローティングディフュージョン27は、電荷が流入していない場合には一定電位を有し、

電荷が流入することでその電位が変化する。また、フローティングディフュージョン27は、電極を介して接続点Aに接続されている。この接続点Aは、電荷リセット用MOSFET29のソース端子に接続されている。

[0028] この電荷リセット用MOSFET29のゲート端子は、端子RGと接続されている。端子RGには、リセット信号が入力される。なお、リセット信号は、リセット信号を出力する信号出力部によって端子RGに出力され、端子RGを介して電荷リセット用MOSFET29のゲート端子に入力される。

[0029] 論理レベルがLレベルであるリセット信号が電荷リセット用MOSFET29のゲート端子に入力されているときは、電荷リセット用MOSFET29は非導通状態となる。一方、論理レベルがHレベルであるリセット信号が電荷リセット用MOSFET29のゲート端子に入力されているときは、電荷リセット用MOSFET29は導通状態となる。

[0030] 端子RDは、電荷リセット用MOSFET29のドレイン端子に接続されており、一定の正電圧が印加される。この電荷リセット用MOSFET29が導通状態にあるときは、フローティングディフュージョン27に流入した電荷を排出することができ、フローティングディフュージョン27をもとの一定の電位にもどすことができる。

[0031] また、接続点Aは、電荷電圧変換用MOSFET31のゲート端子に接続されている。フローティングディフュージョン27が一定の電位の時には、電圧( $V_{cc}$ )が、電荷電圧変換用MOSFET31のゲート端子に印加され、フローティングディフュージョン27に電荷が流入したときには、流入した電荷量に応じた電圧( $V_o$ )が電圧( $V_{cc}$ )から減じられ、その減じられた電圧( $V_{cc} - V_o$ )が、電荷電圧変換用MOSFET31のゲート端子に印加される。

[0032] 電荷電圧変換用MOSFET31のドレイン端子は、端子ODに接続されており、この端子ODは、一定の正電圧が印加されている。電荷電圧変換用MOSFET31のドレイン端子は、接続点Bに接続されており、接続点Bは、抵抗素子39の一端に接続されている。抵抗素子39の他端は接地されている。また、接続点Bは、端子OSに接続されている。これにより、エネルギー線感応領域11にて発生してフローティングディフュージョンに流入した電荷量は、端子OSの電位に変換されて、当該端子OSから出力される。

[0033] 以上のように、この第1実施例に係るエネルギー線検出素子では、電極15それぞれに、対応する直流出力電位が与えられるので、当該電極15それぞれの下に形成されるポテンシャル井戸は電荷を送る方向で徐々に深くなり、エネルギー線感応領域11に対して1つのポテンシャル傾斜が形成されることとなる。このため、エネルギー線感応領域11 (N型半導体層55) で発生した電荷は上記ポテンシャル傾斜に沿って出力部21へ速やかに移動することとなり、電荷の読み残しが生じ難くなる。この結果、読み出した電荷量が減少するようなことはなく、ノイズが相対的に大きくなるのを防ぐことができる。

[0034] また、この第1実施例において、出力部21は、フローティングディフュージョン27と、サミングゲート23と、アウトプットゲート25とを含んでいる。この場合、サミングゲート23及びアウトプットゲート25によってフローティングディフュージョン27への電荷の移動が許容されていると、エネルギー線感応領域11内で発生しサミングゲート23に蓄積された電荷はフローティングディフュージョン27に蓄積される。一方、サミングゲート23及びアウトプットゲート25によってフローティングディフュージョン27への電荷の移動を抑制されていると、エネルギー線感応領域11内で発生した電荷がフローティングディフュージョン27に流入することではなく、エネルギー線感応領域11とフローティングディフュージョン27とが容量的に分離される。エネルギー線感応領域11とフローティングディフュージョン27とが容量的に分離されているので、エネルギー線感応領域11の容量は、フローティングディフュージョン27に蓄積された電荷量を電圧信号に変換する際に影響を受けなくなる。フローティングディフュージョン27の容量は、フローティングディフュージョン27に蓄積された電荷量を電圧信号に変換する際に影響を受けることになるが、フローティングディフュージョン27は、通常、エネルギー線感応領域11に比して面積を小さく形成することができ、容量も小さくすることが可能である。このようにエネルギー線感応領域11とフローティングディフュージョン27とが容量的に分離可能に構成されているので、蓄積された電荷量を電流信号又は電圧信号に変換する際に生じるノイズを小さくすることができる。

[0035] また、この第1実施例において、分圧抵抗17は、直流電源19からの直流出力電圧を分圧している。これにより、上記ポテンシャル傾斜を安定して形成することができる。



。

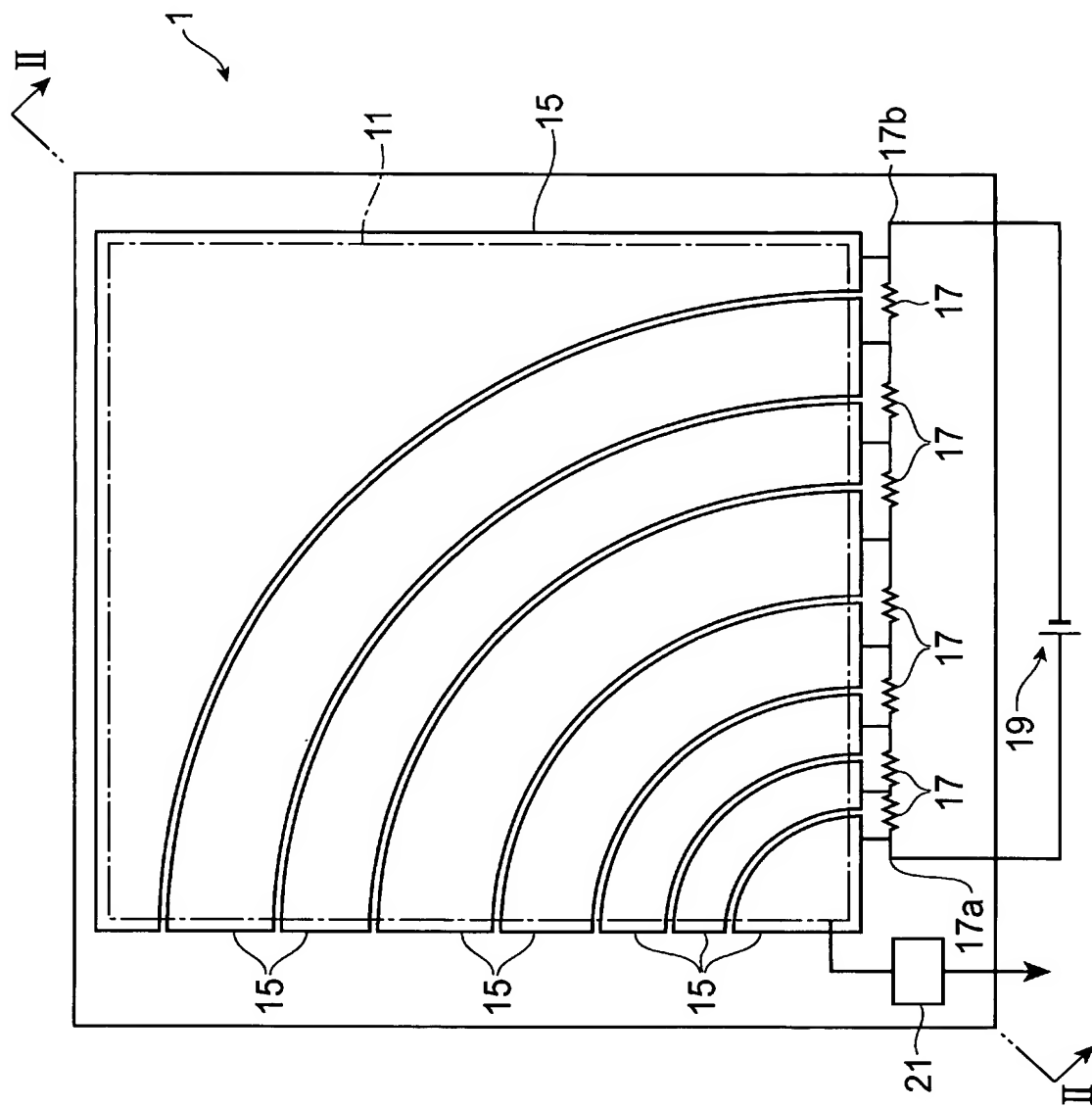
[0036] この発明は、前述の実施例に限定されるものではない。例えば、出力部21は、エネルギー線感応領域11内で発生した電荷を蓄積し、蓄積電荷量に相当する電圧信号を出力するが、蓄積電荷量に相当する電流信号を出力する構成であってもよい。また、電荷リセット用MOSFET29、電荷電圧変換用MOSFET31あるいは抵抗素子39等は、必ずしも半導体基板51に形成する必要はない。

[0037] また、電極15の数及び形状は、上述の実施例に限られるものではない。たとえば、図4は、この発明に係るエネルギー線検出素子の第2実施例の構成を示す平面図であり、この第2実施例における電極15は、それぞれ略半円弧状の縁部を有している。また、図5は、この発明に係るエネルギー線検出素子の第3実施例の構成を示す平面図であり、この第3実施例における電極15は、略円形状の縁部を有している。

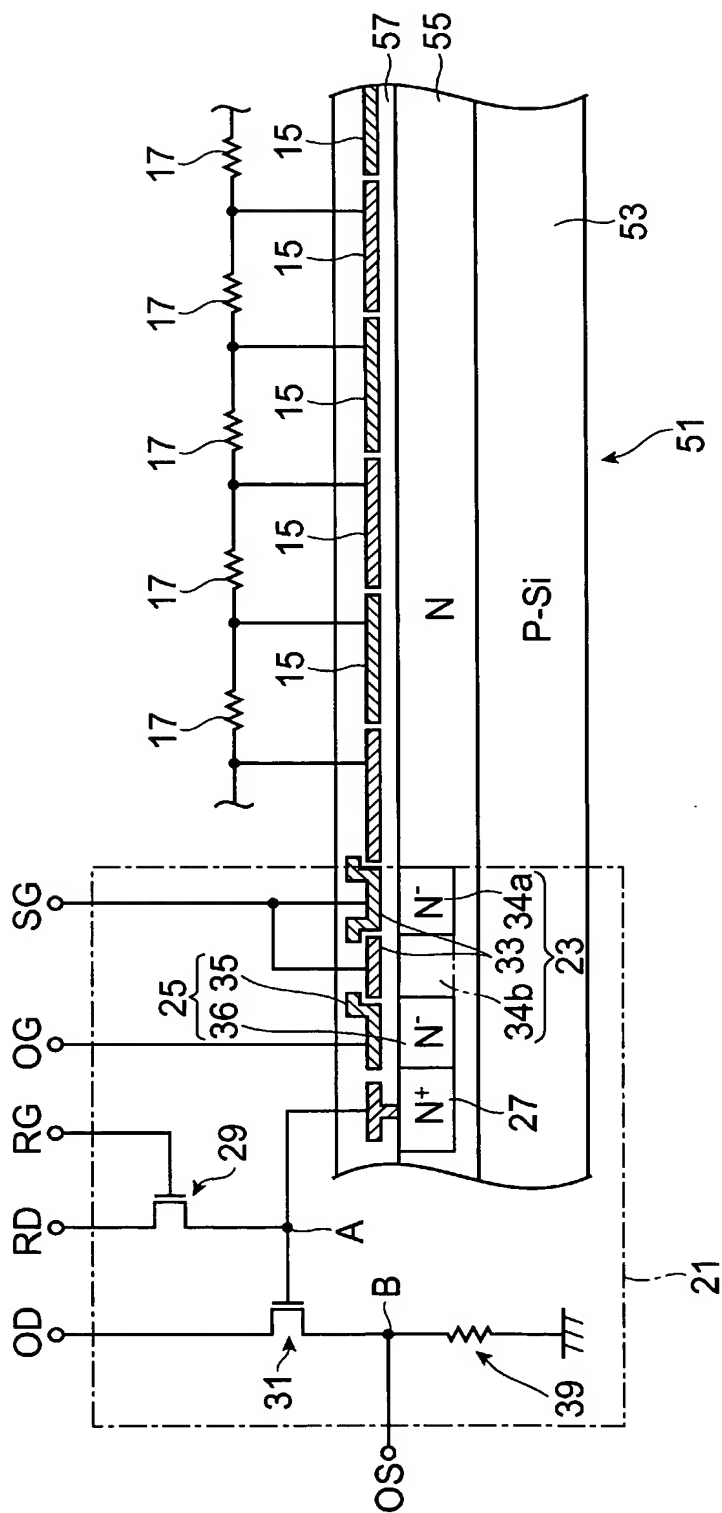
### 請求の範囲

- [1] エネルギー線の入射に応じて電荷を発生するエネルギー線感応領域が設けられた半導体基板と、
- 前記エネルギー線感応領域内で発生した前記電荷を蓄積し、蓄積電荷量に相当する電流信号又は電圧信号を出力する出力部と、
- それぞれが前記エネルギー線感応領域の一部を覆うように配置され、前記エネルギー線感応領域内で発生した前記電荷を前記出力部に向けて送るための複数の電極と、そして、
- 前記電極それぞれが電氣的に接続された電圧分割回路であって、直流電源からの直流出力電圧を分圧して対応する直流出力電位を該電極それぞれに与えるための、互いに直列接続された複数の分圧抵抗を含む電圧分割回路を備えたエネルギー線検出素子。
- [2] エネルギー線の入射に応じて電荷を発生するエネルギー線感応領域が設けられた半導体基板と、
- 前記エネルギー線感応領域内で発生した前記電荷を蓄積し、蓄積電荷量に相当する電流信号又は電圧信号を出力する出力部と、
- それぞれが前記エネルギー線感応領域の一部を覆うように配置され、前記エネルギー線感応領域内で発生した前記電荷を前記出力部に向けて送るための複数の電極と、そして、
- 前記電極それぞれが電氣的に接続された、互いに直列接続された複数の分圧抵抗を含む電圧分割回路であって、該電極それぞれの下に形成されるポテンシャル井戸が前記電荷を送る方向に向かって徐々に深くなるよう、該電極それぞれに所定の電位を与える電圧分割回路とを備えたエネルギー線検出素子。
- [3] 請求項1又は2に記載のエネルギー線検出素子において、
- 前記出力部は、前記エネルギー線感応領域内で発生した前記電荷を蓄積する不純物領域と、そして、
- 信号入力に基づいて、前記不純物領域への電荷の移動を抑制するかあるいは許容するゲートを含む。

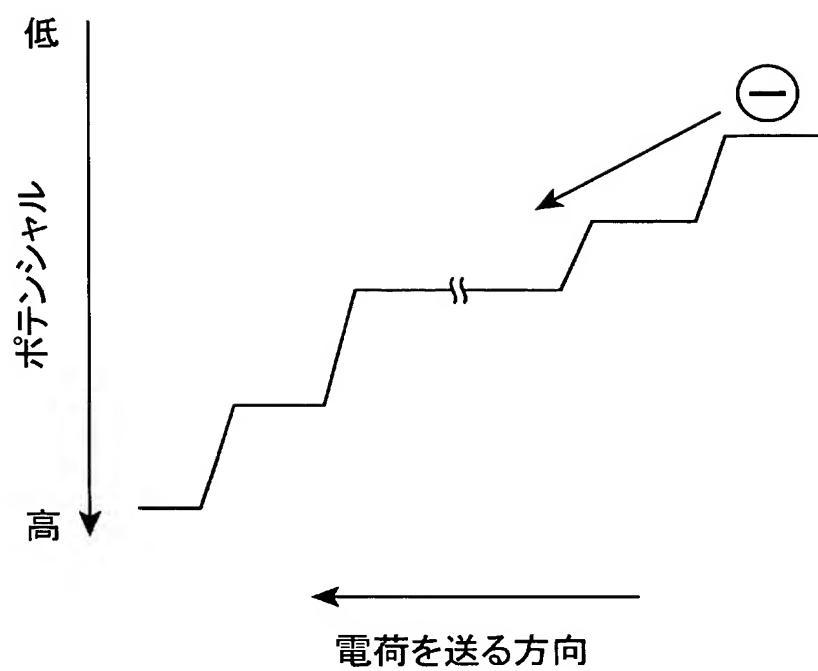
[図1]



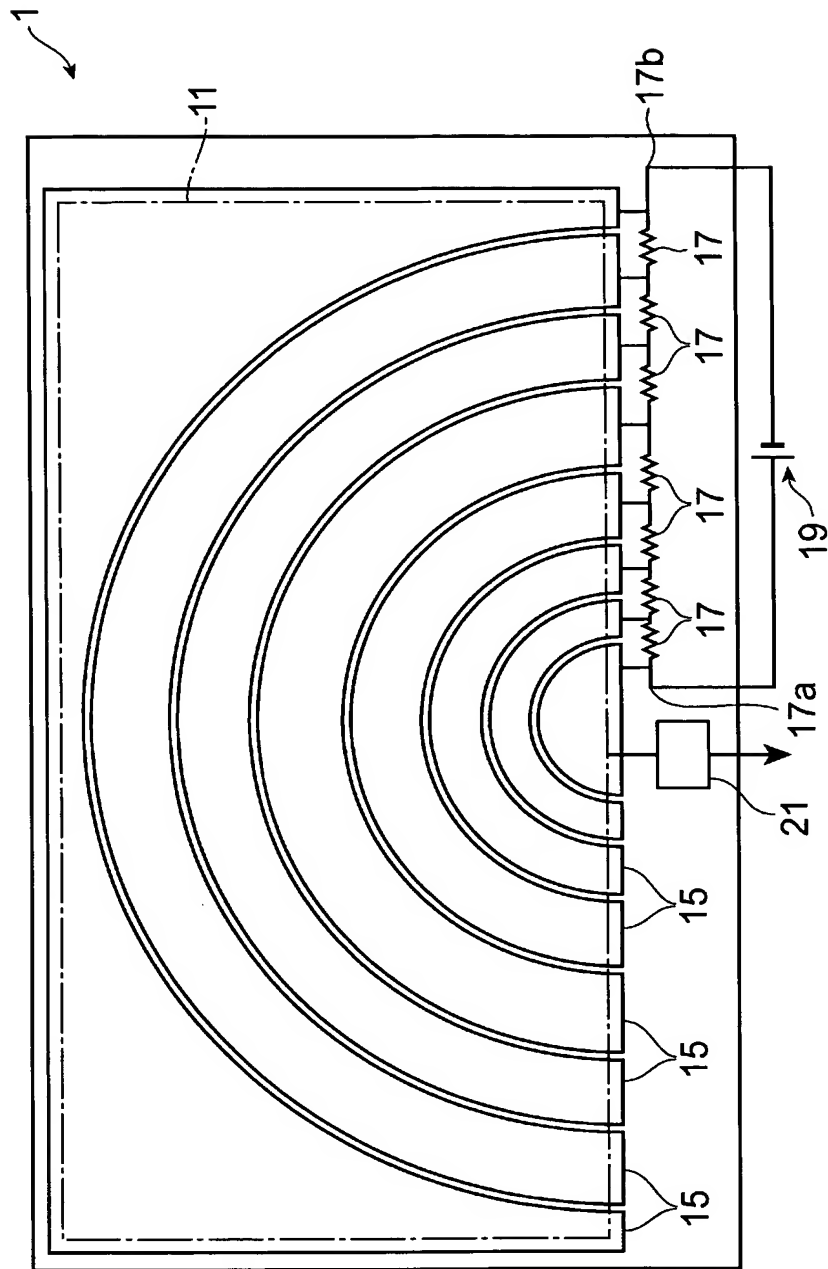
[図2]



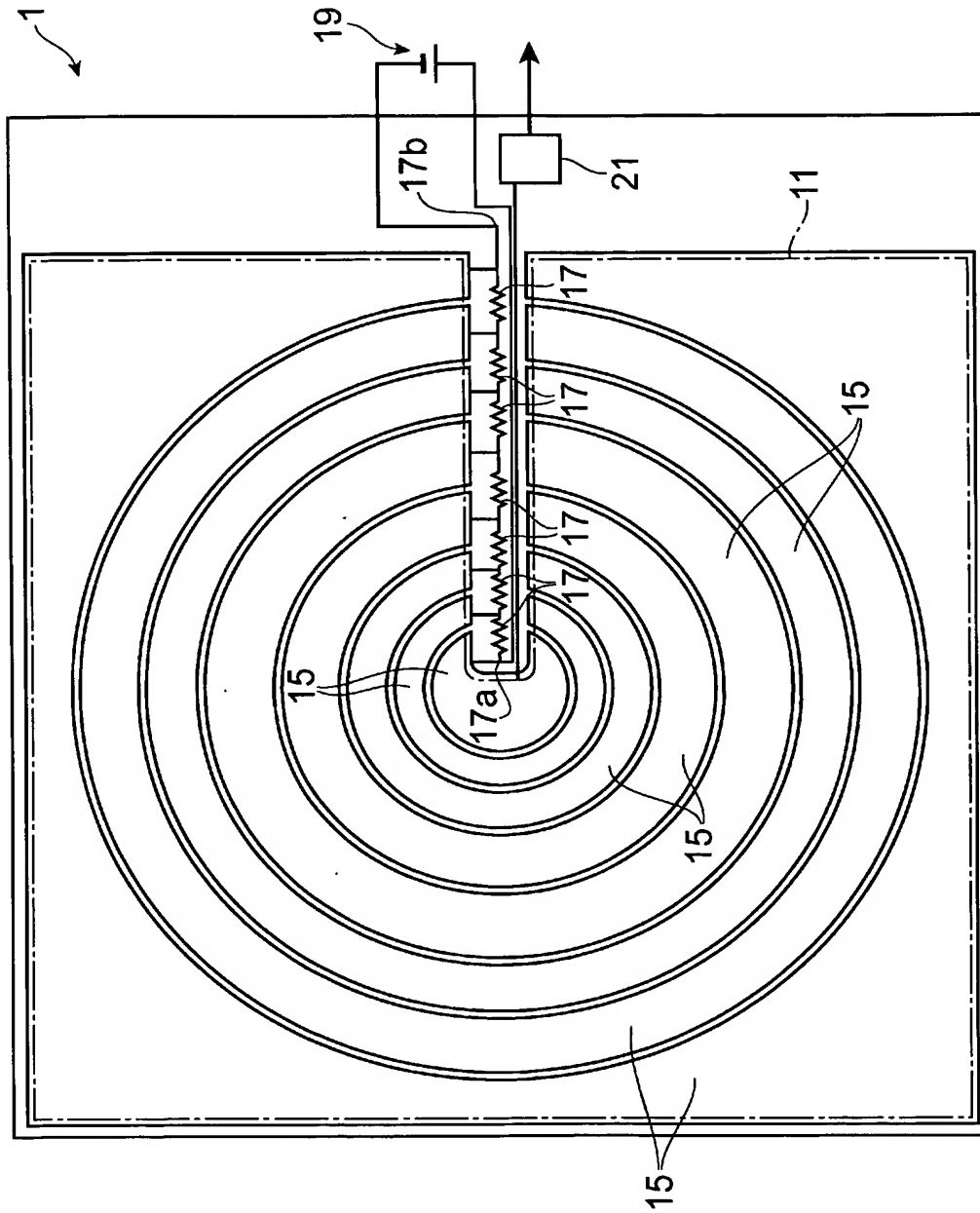
[図3]



[図4]



[図5]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/014386

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L27/148, H04N5/335, G01J1/02

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L27/148, H04N5/335, G01J1/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 55-165687 A (Fujitsu Ltd.),	1
Y	24 December, 1980 (24.12.80), Full text; all drawings (Family: none)	3
Y	JP 53-27382 A (N.V. Philips' Gloeilampenfabrieken), 14 March, 1978 (14.03.78), Full text; all drawings (Family: none)	1-3
Y	JP 57-105893 A (Tokyo Shibaura Electric Co., Ltd.), 01 July, 1982 (01.07.82), Full text; all drawings (Family: none)	1-3

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
09 November, 2004 (09.11.04)Date of mailing of the international search report  
30 November, 2004 (30.11.04)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2004/014386

**C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 5-75090 A (Hamamatsu Photonics Kabushiki Kaisha), 26 March, 1993 (26.03.93), Full text; all drawings (Family: none)	3

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L27/148, H04N5/335, G01J1/02

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L27/148, H04N5/335, G01J1/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2004年  
 日本国実用新案登録公報 1996-2004年  
 日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 55-165687 A (富士通株式会社) 1980. 12. 24, 全文, 全図 (ファミリーなし)	1
Y		3
Y	J P 53-27382 A (エヌ・ベー・フィリツプス・フルーイランペンフアプリーケン) 1978. 03. 14, 全文, 全図 (ファミリーなし)	1-3

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

09. 11. 2004

国際調査報告の発送日

30.11.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

柴山 将隆

4 L

3035

電話番号 03-3581-1101 内線 3462

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 57-105893 A (東京芝浦電気株式会社) 1982.07.01, 全文, 全図 (ファミリーなし)	1-3
Y	J P 5-75090 A (浜松ホトニクス株式会社) 1993.03.26, 全文, 全図 (ファミリーなし)	3